

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-6812

(P2002-6812A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H 5 J 0 6 9
			6 1 1 A 5 J 0 9 1

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-187771(P2000-187771)

(22) 出願日 平成12年6月22日 (2000.6.22)

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社

東京都新宿区西新宿六丁目24番1号

(72) 発明者 福田 保浩

茨城県つくば市御幸ヶ丘17番地 日本テキ

サス・インスツルメンツ株式会社内

(74) 代理人 100086564

弁理士 佐々木 聖孝

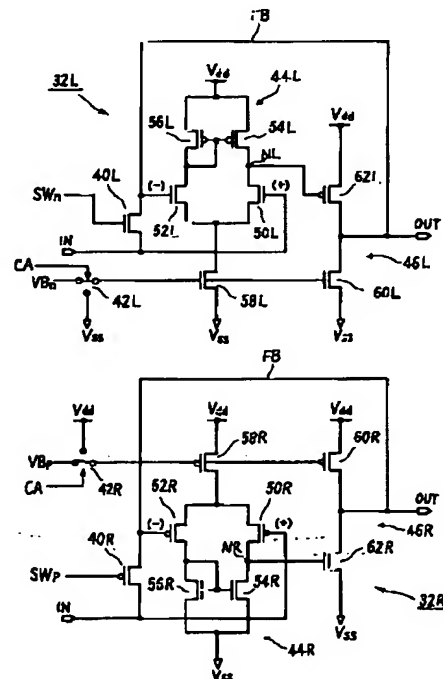
最終頁に続く

(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 オフセットの影響を簡単かつ効率的に補償または回避して出力信号の電圧を目標値である入力信号の電圧に正確に一致させるとともに、消費電流を大幅に低減すること。

【解決手段】 電圧フォロア32Lは、各定電流源回路(58L, 60L)にバイアス電圧VBnを供給されているときは、ソース型の電圧フォロアとして動作する。しかし、各定電流源回路(58L, 60L)に対するバイアス電圧がVBnから電源電圧レベルのVssに変わると、各定電流源回路(58L, 60L)はオフ状態となり、電流を流さなくなる。差動入力部44Lでは、定電流源回路58Lがオフすることで、出力端子(ノード)NLの電位がほぼ電源電圧Vddのレベルまで上昇する。これにより、出力部46Lでは、駆動トランジスタ62Lもオフ状態となる。



## 【特許請求の範囲】

【請求項1】 高入力インピーダンスと低出力インピーダンスを有し、入力端子と出力端子との間に増幅部を備え、前記出力端子に得られる出力信号の電圧を前記入力端子に入力される入力信号の電圧に一致させるように動作する駆動回路において、

所定の電圧を有する入力信号が前記入力端子に入力されてから前記出力端子に得られる出力信号の電圧が前記所定電圧付近のレベルに到達する場合には、前記入力端子と前記出力端子とを電氣的に短絡させるとともに前記増幅部をオフにする駆動回路。

【請求項2】 第1および第2の信号を差動入力する差動入力部と、

電氣的負荷に接続され、前記差動入力部の出力信号を増幅して前記負荷に供給する出力部と、

前記出力部より得られる出力信号を前記差動入力部に前記第2の信号として帰還させる帰還回路と、

所定の電圧を有する入力信号が前記第1の信号として前記差動入力部に入力されてから前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する場合には、前記入力信号を前記差動入力部および出力部に対してバイパスした回路を通して前記負荷に供給するバイパス制御手段と、

前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する場合には前記差動入力部および／または前記出力部をオフにする動作制御手段とを有する駆動回路。

【請求項3】 前記バイパス回路が前記帰還回路からなる請求項2に記載の駆動回路。

【請求項4】 前記バイパス制御手段が、

前記差動入力部の前記第1および第2の信号をそれぞれ入力する第1および第2の入力端子の間に接続された開閉スイッチと、

前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記スイッチを開状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記スイッチを閉状態に切り換えるスイッチ制御手段とを含む請求項3に記載の駆動回路。

【請求項5】 前記差動入力部および／または前記出力部が定電流源回路を含み、

前記動作制御手段が、前記出力部からの出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記定電流源回路をオン状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記定電流源回路をオフ状態に切り換える定電流源制御手段を含む請求項2～4のいずれかに記載の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電氣的負荷を電圧駆動する駆動回路に係り、特に電圧フォロア型の駆動回路に関する。

## 【0002】

【従来の技術】この種の駆動回路の適用例として、多階調表示を行う薄膜トランジスタ型液晶ディスプレイ(TFT-LCD)の信号線駆動回路がある。

【0003】図5に、TFT液晶パネルの基本的な回路構成(一部)を示す。この種の液晶パネルは、複数本のゲート線 $\cdots Y_{i-1}, Y_i, Y_{i+1} \cdots$ と複数本の信号線 $\cdots X_{j-1}, X_j, X_{j+1} \cdots$ とをマトリクス状に交差配置し、各交差点の画素に透明導電膜からなる1個の画素電極Pと1個の薄膜トランジスタTFTを配置してなる。各画素電極Pと対向電極COMと両者の間に挟まれた液晶Qによって1画素分の信号蓄積容量CLが構成される。

【0004】各列(たとえばj列)においては、全ての画素電極 $\cdots P_{i-1,j}, P_{i,j} \cdots$ が、それぞれ対応する薄膜トランジスタ $\cdots TFT_{i-1,j}, TFT_{i,j} \cdots$ を介して各列の信号線 $X_j$ に電氣的に共通接続されている。各行(たとえばi行)においては、その行の全ての薄膜トランジスタ $\cdots TFT_{i,j-1}, TFT_{i,j}, TFT_{i,j+1} \cdots$ の制御端子が共通のゲート線 $Y_i$ に電氣的に接続されている。

【0005】ゲート線 $\cdots Y_{i-1}, Y_i, Y_{i+1} \cdots$ は、ゲート線ドライバ(図示せず)により1フレーム期間(1V)内に通常は線順次走査で1行(1ライン)ずつ選択されてアクティブ状態に駆動される。ゲート線たとえば $Y_i$ がアクティブ状態つまりHレベルになると、そのライン(i行)上の全ての薄膜トランジスタ $\cdots TFT_{i,j-1}, TFT_{i,j} \cdots$ がオンする。これと同期して、各列の信号線駆動部(図示せず)よりi行上の全ての画素に対するアナログの階調電圧がそれぞれ出力され、これらの階調電圧は各列の信号線 $\cdots X_{j-1}, X_j \cdots$ およびオン状態の薄膜トランジスタ $\cdots TFT_{i,j-1}, TFT_{i,j} \cdots$ を介してそれぞれ対応する画素電極 $\cdots P_{i,j-1}, P_{i,j} \cdots$ に印加(書き込み)される。この後、次の(i+1)行において、ゲート線 $Y_{i+1}$ が選択され、上記と同様の動作が行われる。i行においては、薄膜トランジスタ $\cdots TFT_{i,j-1}, TFT_{i,j} \cdots$ がオフ状態になることで、各画素に書き込まれた電荷は逃げ道を失い、各電極 $\cdots P_{i,j-1}, P_{i,j}, \cdots$ の階調電圧は次の選択時間まで保持される。

【0006】図6に、このTFT液晶パネルの1本分の信号線 $X_j$ を駆動するための信号線駆動部の要部の構成を示す。

【0007】この1チャンネル分の信号線駆動部100において、データラッチ回路102には、1ライン周期で与えられるタイミングパルスTPに駆動して1画素分の入力画像データDXが取り込まれる。画像データDXは、そのビット数nで表現可能な $2^n$ 個の表示階調の中のいずれか1つをそのデータ値( $d_0, d_1, \cdots, d_{n-1}$ )で指定する階調データである。

【0008】ラッチ回路102に取り込まれた画像データDXは、レベル変換回路104でたとえば3ボルト系から10ボルト系に電圧変換を受けたうえでDAコンバータ106に入力される。

【0009】DAコンバータ106には、全チャンネル共通のたとえば抵抗分圧回路からなる階調電圧発生回路108より、設定された全て(2<sup>n</sup>個)の表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧V<sub>0</sub>~V<sub>k-1</sub>および負極性階調電圧V'<sub>k-1</sub>~V'<sub>0</sub>(k=2<sup>n</sup>)が供給される。

【0010】DAコンバータ106には、コントローラ(図示せず)より1ライン(水平走査期間H)毎に階調電圧の極性を反転させるための交流化信号または反転制御信号RVも与えられる。DAコンバータ106は、レベル変換回路104より入力した1画素分の画像データDXをデコードして、その画像データDXの表す表示階調に対応した電圧レベルを有する階調電圧V<sub>j</sub>, V'<sub>j</sub>のうちの反転制御信号RVの論理値に応じた方を出力するように構成されている。たとえば、RVがHレベルのときは正極性の階調電圧V<sub>j</sub>を出力し、RVがLレベルのときは負極性の階調電圧V'<sub>j</sub>を出力する。このように、DAコンバータ106は実質的にはデコード回路であるが、デジタルデータをアナログ電圧に変換するという意味で、DAコンバータとしている。

【0011】電圧フォロア(駆動回路)110は、演算増幅器からなり、正極性の階調電圧を入力するときはソース状態で動作し、負極性の階調電圧を入力するときはシンク状態で動作して、入力電圧に等しい出力電圧を出力する。電圧フォロア110より出力された階調電圧V<sub>j</sub>は、出力パッド112を介して対応する列の信号線X<sub>j</sub>に供給される。

【0012】図7に、上記構成を有する1チャンネル分の信号線駆動部100の作用を示す。図示の例では、TFT液晶パネル(図5)内でi行のゲート線Y<sub>i</sub>が選択されたときは、信号線駆動部100より正極性の階調電圧V<sub>i,j</sub>が信号線X<sub>j</sub>上に出力される。これにより、この正極性の階調電圧V<sub>i,j</sub>がオン状態の薄膜トランジスタTFT<sub>i,j</sub>を介して画素電極P<sub>i,j</sub>に印加(書き込み)される。次に、(i+1)行のゲート線Y<sub>i+1</sub>が選択されたときは、信号線駆動部100より負極性の階調電圧V'<sub>i+1,j</sub>が信号線X<sub>j</sub>上に出力される。この結果、この負極性の階調電圧V'<sub>i+1,j</sub>がオン状態の薄膜トランジスタTFT<sub>i+1,j</sub>を介して画素電極P<sub>i+1,j</sub>に印加(書き込み)される。

【0013】各ライン毎の動作において、タイミングパルスTPの始端で該当の入力画像データDXがラッチ回路102に取り込まれると、その直後に該入力画像データDXの値に対応する階調電圧V<sub>j</sub>がDAコンバータ106より電圧フォロア110に入力される。この時点まで、信号線X<sub>j</sub>の電圧は直前のラインの画素に対して給

電された逆極性の階調電圧付近に保たれている。

【0014】電圧フォロア110は、非反転入力端子(+)にDAコンバータ106からの新たな階調電圧V<sub>j</sub>を入力すると、出力電圧つまり信号線電圧を反転入力端子(-)に負帰還しつつ入力階調電圧V<sub>j</sub>にはほぼ一致するまで立ち上げるかまたは立ち下げる(つまり負荷の信号線X<sub>j</sub>を電圧駆動する)。この出力電圧または信号線電圧の立ち上げ/立ち下げ中は、電圧フォロア110内の各部で動作電流I<sub>d</sub>が流れ、特に出力部においては立ち上げ用のチャージ電流または立ち下げ用のディスチャージ電流が流れる。そして、出力電圧(信号線電圧)が入力階調電圧V<sub>j</sub>のレベル(目標値)付近に到達してからも、電圧フォロア110内では定電流源回路等が一定の電流I<sub>o</sub>を流し続ける。

【0015】

【発明が解決しようとする課題】上記のようなTFT-LCDにおいて、高精度の階調表示を行うためには、各チャンネルの信号線駆動部が該当の各画素電極Pに画像データDXの指示する通りの階調電圧を書き込む必要があり、そのためには電圧フォロア110がDAコンバータ106からの階調電圧を正しく出力側の信号線X上に伝えなければならない。

【0016】しかしながら、電圧フォロア110を構成する演算増幅器においては、入力側や増幅器内部(特に差動入力部)に様々なオフセットがつきものであり、それらのオフセットが原因で出力電圧の到達値が目標値つまり入力信号の電圧からずれることが多い。そのようなオフセットを補償または低減するためにオフセット調整回路を設けることもよく行われているが、調整にも限度がある。特に、TFT-LCDの信号線ドライバは1チップに数百個以上の電圧フォロアまたは駆動回路を内蔵するものであり、それら多数の駆動回路間のばらつきをなくするのは容易ではない。また、演算増幅器を構成するトランジスタの特性改善もオフセット解決法の1つではあるが、高度で複雑なプロセスを要するうえ、コストが高くついたり、トランジスタサイズが大きくなり(したがってチップ面積が大きくなり)好ましくない。

【0017】また、従来の電圧フォロア110では、出力電圧または信号線電圧が目標値付近に到達した後も、内部の定電流源回路による定電流が各部を流れ続けるため、電圧フォロア内全体で一定の電流(アイドリングスタンバイ電流)I<sub>o</sub>を消費している。ドライバ全体の消費電流は相当なものになる。

【0018】本発明は、かかる問題点に鑑みてなされたもので、オフセットの影響を簡単かつ効率的に補償または回避して出力信号の電圧を目標値である入力信号の電圧に正確に一致させられるようにした駆動回路を提供することを目的とする。

【0019】本発明の別の目的は、消費電流を大幅に低減するようにした駆動回路を提供することにある。

## 【0020】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1の駆動回路は、高入力インピーダンスと低出力インピーダンスを有し、入力端子と出力端子との間に増幅部を備え、前記入力端子に入力される入力信号とはほぼ等しい電圧を有する出力信号を前記出力端子より出力する駆動回路において、所定の電圧を有する入力信号が前記入力端子に入力されてから前記出力端子に得られる出力信号の電圧が前記所定電圧付近のレベルに到達する頃に、前記入力端子と前記出力端子とを電気的に短絡させるとともに前記増幅部をオフにする構成とした。

【0021】本発明の第2の駆動回路は、第1および第2の信号を差動入力する差動入力部と、電気的負荷に接続され、前記差動入力部の出力信号を増幅して前記負荷に供給する出力部と、前記出力部より得られる出力信号を前記差動入力部に前記第2の信号として帰還させる帰還回路と、所定の電圧を有する入力信号が前記第1の信号として前記差動入力部に入力されてから前記出力部の出力信号の電圧が前記所定電圧付近に到達する頃に、前記入力信号を前記差動入力部および出力部に対してバイパスした回路を通して前記負荷に供給するバイパス制御手段と、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する頃に前記差動入力部および／または前記出力部をオフにする動作制御手段とを有する構成とした。

【0022】本発明の第2の駆動回路において、好ましい一態様として、前記バイパス回路が前記帰還回路から構成され、前記バイパス制御手段が、前記差動入力部の前記第1および第2の信号をそれぞれ入力する第1および第2の入力端子の間に接続された開閉スイッチと、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記スイッチを開状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記スイッチを閉状態に切り換えるスイッチ制御手段とを含む構成であってよい。

【0023】あるいは別の好ましい態様として、前記差動入力部および／または前記出力部が定電流源回路を含み、前記動作制御手段が、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記定電流源回路をオン状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記定電流源回路をオフ状態に切り換える定電流源制御手段を含む構成であってよい。

## 【0024】

【発明の実施の形態】以下、図1～図4を参照して本発明の好適な実施形態を説明する。

【0025】図1に、本発明の駆動回路を適用したアクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す。

【0026】このTFT-LCDは、たとえば上記した図5のものと同様の構成を有するTFT液晶パネル10と、この液晶パネル10のゲート線Y1, Y2, …を駆動するための並列接続されたゲート線ドライバG1, G2, …と、液晶パネル10の信号線X1, X2, …を駆動するための並列接続された信号線（ソース）ドライバS1, S2, …と、各部の動作を制御するコントローラ12と、表示すべき画像信号に対して所要の信号処理を行う画像信号処理回路14と、フルカラー（多階調表示）を実現するための多階調の電圧を発生する階調電圧発生回路16とから構成される。

【0027】画像信号処理回路14は、各画素の表示の階調を表すデジタルの画像データDXを各信号線ドライバS1, S2, …に供給する。たとえば64階調の場合は、R, G, Bの各画素につき6ビットの画像データDXが画像信号処理回路14より各信号線ドライバS1, S2, …に与えられる。コントローラ12は、水平同期信号HSおよび垂直同期信号VSに同期した種々の制御信号またはタイミング信号を各ゲート線ドライバG1, G2, …および各信号線ドライバS1, S2, …に供給する。

【0028】階調電圧発生回路16は、液晶パネル10のV（電圧）-T（透過率）特性に基づいて表示の多階調に対応した電圧レベルをそれぞれ有する多段階の階調電圧を各信号線ドライバS1, S2, …に供給する。コモン一定駆動法によって液晶交流電圧を印加する場合は、たとえば図6と同様の分圧抵抗回路（106）で構成されてよく、正極性の階調電圧V0～Vk-1と負極性の階調電圧V'k-1～V'0とを発生する。

【0029】図2に、信号線ドライバSの要部の回路構成を示し、より詳細には各隣合う2つのチャンネル分の信号線駆動部の構成を示す。図示の隣合う2つのチャンネル分の信号線駆動部20L, 20Rは、液晶パネル10の隣合う第j列および第(j+1)列の信号線Xj, Xj+1を駆動するものとする。

【0030】図2に示すように、各隣合う2つのチャンネル分の信号線駆動部20L, 20Rは、一対の第1データラッチ回路22L, 22R、一対の第1切換回路24L, 24R、一対の第2データラッチ回路26L, 26R、一対のレベル変換回路28L, 28R、一対のDAコンバータ30L, 30R、一対の電圧フォロア（駆動回路）32L, 32R、一対の第2切換回路34L, 34Rおよび一対の出力パッド36L, 36Rから構成されている。

【0031】左側および右側の第1データラッチ回路22L, 22Rには、所定の周期たとえばライン周期で、所定のビット数を有する1画素分の画像データDXj, DXj+1がそれぞれ取り込まれる。

【0032】左側の第1データラッチ回路22Lの出力端子は、各ビット毎に、左側の第1切換回路24Lの一方（左側）の入力端子に接続されるとともに、右側の第

2切換回路24Rの他方(右側)の入力端子に接続されている。右側の第1データラッチ回路22Rの出力端子は、各ビット毎に、右側の第1切換回路24Rの一方(左側)の入力端子に接続されるとともに左側の第1切換回路24Lの他方(右側)の入力端子に接続されている。

【0033】左側および右側の第1切換回路24L, 24Rは、コントローラ(図示せず)からの交流化信号STにより一方(左側)の入力端子と他方(右側)の入力端子とに交互に切り換えられる。左側および右側の第1切換回路24L, 24Rの出力端子は、それぞれ左側および右側の第2データラッチ回路26L, 26Rの入力端子に接続されている。

【0034】左側および右側の第2データラッチ回路26L, 26Rは、交流化信号STに同期したタイミングで左側および右側の第1切換回路24L, 24Rを介して左側の第1データラッチ回路22Lもしくは右側の第1データラッチ回路22Rのいずれかより1画素分の画像データを取り込むようになっている。左側および右側の第2データラッチ回路26L, 26Rの出力端子は、それぞれ左側および右側のレベル変換回路28L, 28Rを介して左側および右側のDAコンバータ30L, 30Rの入力端子に接続されている。

【0035】レベル変換回路28L, 28Rは、DAコンバータ30L, 30R内の回路素子がコモン一定駆動法による正極性と負極性の双方にわたる階調電圧を扱えるように、画像データの論理電圧(たとえば3V)を高い電圧(たとえば10V)に変換する。

【0036】左側のDAコンバータ30Lには、階調電圧発生回路28より正極性の全て(k個)の階調電圧 $V_0 \sim V_{k-1}$ が供給される。一方、右側のDAコンバータ30Rには階調電圧発生回路28より負極性の全て(k個)の階調電圧 $V'_{k-1} \sim V'_0$ が供給される。

【0037】たとえば、コモン一定駆動法において、対向電極の電圧を5Vに固定し、各画素電極に正極性の階調電圧(5~10ボルト)および負極性の階調電圧(5~0ボルト)を交互に印加する場合、正極性の最大階調電圧 $V_{k-1}$ は10ボルトに最も近い値に設定され、負極性の最大階調電圧 $V'_{k-1}$ は0ボルトに最も近い値に設定され、両極性の最小階調電圧 $V_0, V'_0$ は5ボルト付近に設定される。

【0038】左側のDAコンバータ30Lは、左側のレベル変換回路28Lより入力した1画素分の画像データをデコードし、その画像データの表す表示階調に対応した電圧レベルを有する正極性の階調電圧 $V_x$ を選択して出力するように構成されている。右側のDAコンバータ30Rは、右側のレベル変換回路28Rより入力した1画素分の画像データをデコードし、その画像データの表す表示階調に対応した電圧レベルを有する負極性の階調電圧 $V'_x$ を選択して出力するように構成されている。左

側および右側のDAコンバータ30L, 30Rの出力端子はそれぞれ左側および右側の電圧フォロア32L, 32Rの入力端子に接続されている。

【0039】左側の電圧フォロア32Lは、高入力インピーダンスと低出力インピーダンスを有する演算増幅器からなり、正極性電圧の範囲内でソース状態で動作するように構成されている。この左側の電圧フォロア32Lの出力端子は、左側の第2切換回路34Lの一方(左側)の入力端子に接続されるとともに、右側の第2切換回路34Rの他方(右側)の入力端子に接続されている。

【0040】右側の電圧フォロア32Rは、高入力インピーダンスと低出力インピーダンスを有する演算増幅器からなり、負極性電圧の範囲内でシンク状態で動作するように構成されている。この右側の出力アンプ32Rの出力端子は、右側の第2切換回路34Rの一方(左側)の入力端子に接続されるとともに、左側の第2切換回路34Lの他方(右側)の入力端子に接続されている。

【0041】左側および右側の第2切換回路34L, 34Rの出力端子は、それぞれ左側および右側の出力パッド36L, 36Rを介して各対応するチャンネルの信号線Xj, Xj+1(図示せず)に接続されている。

【0042】この実施形態では、各々の電圧フォロア32L, 32Rを構成する演算増幅器において、反転入力端子(-)と出力端子とをスルーの負帰還回路FBを介して相互接続しているのは通常どおりであるが、特徴的な構成として非反転入力端子(+)と反転入力端子(-)との間に開閉スイッチ40L, 40Rを接続している。この開閉スイッチ40L, 40Rは、コントローラ12(図1)からの制御信号SWによってオン(閉)/オフ(開)制御される。

【0043】さらに、各電圧フォロア32L, 32Rを構成する演算増幅器において、この演算増幅器に内蔵されている一部または全部の定電流源回路をオン(アクティブ)状態またはオフ(非アクティブ)状態のいずれかに選択的に切り替えられるように構成している。

【0044】より詳細には、各電圧フォロア32L, 32Rに内蔵される所定の定電流源回路に対して、全チャンネル共通の電源回路(図示せず)により、各定電流源回路をオン(アクティブ)状態にするためのアクティブ動作のバイアス電圧( $V_{Bn}, V_{Bp}$ )だけでなく、各定電流源回路をオフ(非アクティブ)状態にするための動作停止用のバイアス電圧(たとえば $V_{ss}, V_{dd}$ )をも用意している。そして、コントローラ12からの制御信号CAにより切換スイッチ42L, 42Rを切替制御することで、それら所定の定電流源回路に与えるバイアス電圧としてアクティブ動作のもの( $V_{Bn}, V_{Bp}$ )または動作停止用のもの( $V_{ss}, V_{dd}$ )のいずれかを択一的に選択するようになっている。

【0045】図3に、この実施形態における電圧フォロ

ア32L, 32Rの回路構成例を示す。これらの電圧フォロア32L, 32Rは、差動入力部44L, 44Rと出力部46L, 46Rとから構成される。

【0046】左側の電圧フォロア32Lにおいて、差動入力部44Lは、差動接続された一対のNチャンネルMOSトランジスタ（以下、NMOSトランジスタと称する。）50L, 52Lと、両NMOSトランジスタ50L, 52Lのソース端子に接続された定電流源回路用のNMOSトランジスタ58Lと、両NMOSトランジスタ50L, 52Lのドレイン端子に接続された一対のPチャンネルMOSトランジスタ（以下、PMOSトランジスタと称する。）54L, 56Lからなる電流ミラー回路とで構成される。

【0047】差動対のNMOSトランジスタ50L, 52Lにおいて、一方のNMOSトランジスタ50Lのゲート端子は非反転入力端子(+)として入力端子INに接続され、他方のNMOSトランジスタ52Lのゲート端子は反転入力端子(-)としてスルーの負帰還回路FBを介して出力端子OUTに接続され、両ゲート端子間にNMOSトランジスタからなる開閉スイッチ40Lが接続される。定電流源のNMOSトランジスタ58Lは、ソース端子が負極側の電源電圧端子Vssに接続され、ゲート端子が切換スイッチ42Lを介してバイアス電圧VBnまたはVssのいずれか一方に接続される。

【0048】出力部46Lは、定電流源回路用のNMOSトランジスタ60Lと、駆動用のPMOSトランジスタ62Lとから構成される。定電流源のNMOSトランジスタ60Lは、ソース端子が負極側の電源電圧端子Vssに接続され、ドレイン端子が出力端子OUTに接続され、ゲート端子が切換スイッチ42Lを介してバイアス電圧VBnまたはVssのいずれか一方に接続される。駆動用のPMOSトランジスタ62Lは、ソース端子が正極側の電源電圧端子Vddに接続され、ドレイン端子が出力端子OUTに接続され、ゲート端子が差動入力部の出力端子(ノード)NLに接続される。上記の構成において、差動入力部44Lは差動増幅機能を有し、出力部46Lは出力増幅機能を有している。

【0049】なお、切換スイッチ42Lは、たとえばトランスマッションゲートからなるアナログスイッチで構成することができる。

【0050】この電圧フォロア32Lは、各定電流源回路(58L, 60L)にバイアス電圧VBnを供給されているときは、ソース型の電圧フォロアとして動作する。

【0051】すなわち、入力端子INの電圧と出力端子OUTの電圧とが均衡している状態から、入力端子INの電圧が上昇すると、差動入力部44LにおいてNMOSトランジスタ50Lのドレイン電流が増加して、そのぶんNMOSトランジスタ52Lのドレイン電流が減少し、ノードNLの電位が低下する。これにより、出力部

46Lにおいてソース用のPMOSトランジスタ62Lのドレイン電流が増加し、負荷(信号線X)を充電する。出力端子OUTの電圧が入力端子INの電圧に等しくなると、各部の状態が安定する。

【0052】入力端子INの電圧と出力端子OUTの電圧とが均衡している状態から、入力端子INの電圧が低下すると、各部で上記と反対の動作が行われ、ソース用のPMOSトランジスタ62Lのドレイン電流が減少し、定電流源のNMOSトランジスタ60Lのドレイン電流が負荷(信号線X)の放電電流となる。出力端子OUTの電圧が入力端子INの電圧に等しくなると、各部の状態が安定する。

【0053】かかる電圧フォロア32Lにおいて、各定電流源回路(58L, 60L)に対するバイアス電圧がVBnからVssに変わると、各定電流源回路(58L, 60L)はオフ状態となり、電流を流さなくなる。差動入力部44Lでは、定電流源回路58Lがオフすることで、出力端子(ノード)NLの電位がほぼ電源電圧Vddのレベルまで上昇する。これにより、出力部46Lでは、駆動トランジスタ62Lもオフ状態となる。

【0054】右側の電圧フォロア32Rは、上記した左側の電圧フォロア32Lにおいて各NMOSトランジスタをPMOSトランジスタに、各PMOSトランジスタをNMOSトランジスタにそれぞれ置き換えた構成を有している。

【0055】特に注記すべき構成としては、差動対のNMOSトランジスタ50R, 52Rにおいて、一方のPMOSトランジスタ50Rのゲート端子は非反転入力端子(+)として入力端子INに接続され、他方のPMOSトランジスタ52Rのゲート端子は反転入力端子(-)としてスルーの負帰還回路FBを介して出力端子OUTに接続され、両ゲート端子間にPMOSトランジスタからなる開閉スイッチ40Rが接続される。また、定電流源のPMOSトランジスタ58Rは、ソース端子が正極側の電源電圧端子Vddに接続され、ゲート端子が切換スイッチ42Rを介してバイアス電圧VBpまたはVddのいずれか一方に接続される。また、出力部46Rにおいて、定電流源のPMOSトランジスタ60Rは、ソース端子が正極側の電源電圧端子Vddに接続され、ドレイン端子が出力端子OUTに接続され、ゲート端子が切換スイッチ42Rを介してバイアス電圧VBpまたはVddのいずれか一方に接続される。

【0056】この電圧フォロア32Rは、各定電流源回路(58R, 60R)にバイアス電圧VBpを供給されているときは、シンク型の電圧フォロアとして上記と同様の仕組みで動作する。そして、各定電流源回路(58R, 60R)に対するバイアス電圧がVBpからVddに変わると、各定電流源回路(58R, 60R)はオフ状態となり、電流を流さなくなる。差動入力部44Rでは、定電流源回路58Rがオフすることで、出力端子

(ノード)NRの電位がほぼ電源電圧 $V_{ss}$ のレベルまで低下する。出力部46Rでは、定電流源回路60Rがオフするだけでなく、駆動トランジスタ62Rもオフ状態となる。

【0057】次に、この実施形態における信号線ドライバの動作を説明する。この信号線ドライバを含むTFT-LCDにおいては、ゲート線ドライバG1, G2, …により液晶パネル10のゲート線Y1, Y2, ……が1フレーム期間内に通常は線順次走査で1ライン(行)ずつ選択されてアクティブ状態に駆動される。各ゲート線Yjが駆動される度に、各信号線ドライバでは、各チャンネルの出力パッド36より当該ライン上の各対応する画素電極に印加すべき階調電圧Vjが出力される。

【0058】いま、i行のゲート線Yiが駆動される時、各第1切換回路24L, 24Rおよび各第2切換回路34L, 34Rがそれぞれ一方(左側)の入力端子に切り換わっているとす。この時、第1データラッチ回路22L, 22Rには、液晶パネル10内のi行j列およびi行(j+1)列にそれぞれ位置する2つの画素の表示階調を表す画像データDXi,j, DXi,j+1が格納されている。

【0059】この場合、タイミングパルスTPまたは交流化信号STのタイミングに忠動して左側の第1データラッチ回路22Lより1画素分の画像データDXi,jが左側の第1切換回路24Lを介して左側の第2データラッチ回路26Lに転送されると同時に、右側の第1データラッチ回路22Rより1画素分の画像データDXi,j+1が右側の第1切換回路26Rを介して右側の第2データラッチ回路26Rに転送される。

【0060】左側および右側の第2データラッチ回路26L, 26Rに取り込まれた1画素分の画像データDXi,j, DXi,j+1は、それぞれ左側および右側のレベル変換回路28L, 28Rを介して左側および右側のDAコンバータ30L, 30Rに入力される。

【0061】これにより、左側のDAコンバータ30Lから、画像データDXi,jの表す表示階調に対応した電圧レベルを有する正極性の階調電圧Vi,jが出力される。一方、右側のDAコンバータ30Rからは、画像データDXi,j+1の表す表示階調に対応した電圧レベルを有する負極性の階調電圧Vi,j+1が出力される。

【0062】左側のDAコンバータ30Lより出力された正極性の階調電圧Vi,jは、左側の電圧フォロア32Lおよび第2切換回路34Lを介して左側の出力パッド36Lより信号線Xjに出力され、この信号線Xjに接続されているi行の薄膜トランジスタTFTi,jを介して画素電極Pi,jに印加される。

【0063】一方、右側のDAコンバータ30Rより出力された負極性の階調電圧Vi,j+1は右側の電圧フォロア32Rおよび第2切換回路34Rを介して右側の出力パッド36Rより信号線Xj+1に出力され、この信号線

Xj+1に接続されているi行の薄膜トランジスタTFTi,j+1を介して画素電極Pi,j+1に印加される。

【0064】次に、(i+1)行のゲート線Yi+1が駆動されると、これと同期して交流化信号STにより各第1切換回路24L, 24Rおよび各第2切換回路34L, 34Rがそれぞれ他方(右側)の入力端子に切り換わる。

【0065】これにより、左側の第1データラッチ回路22Lより信号線Xiに対応した1画素分の画像データDXi+1,jが右側の第1切換回路24Rを介して右側の第2データラッチ回路26Rに転送されると同時に、右側の第1データラッチ回路22Rより信号線Xi+1に対応した1画素分の画像データDXi+1,j+1が左側の第1切換回路24Lを介して左側の第2データラッチ回路26Lに転送される。

【0066】左側および右側の第2データラッチ回路26L, 26Rに取り込まれた1画素分の画像データDXi+1,j+1, DXi+1,jは、それぞれ左側および右側のレベル変換回路28L, 28Rを介して左側および右側のDAコンバータ30L, 30Rに入力される。

【0067】これにより、左側のDAコンバータ30Lからは、画像データDXi+1,j+1の表す表示階調に対応した電圧レベルを有する正極性の階調電圧Vi+1,j+1が出力される。一方、右側のDAコンバータ30Rからは、画像データDXi+1,jの表す表示階調に対応した電圧レベルを有する負極性の階調電圧Vi+1,jが出力される。

【0068】左側のDAコンバータ30Lより出力された正極性の階調電圧Vi+1,j+1は、左側の電圧フォロア32Lおよび右側の第2切換回路34Rを介して右側の出力パッド36Rより信号線Xj+1に出力され、この信号線Xj+1に接続されている(i+1)行の薄膜トランジスタTFTi+1,j+1を介して対応する画素電極Pi+1,j+1に印加される。

【0069】一方、右側のDAコンバータ30Rより出力された負極性の階調電圧Vi+1,jは、右側の電圧フォロア32Rおよび左側の第2切換回路34Lを介して左側の出力パッド36Lより信号線Xjに出力され、この信号線Xjに接続されている(i+1)行の薄膜トランジスタTFTi+1,jを介して対応する画素電極Pi+1,jに印加される。

【0070】以後、上記した2ライン分の動作が繰り返される。これにより、液晶パネル10のY方向において1画素毎に階調電圧の極性が反転する。また、X方向においても1画素毎に(各隣接する2つの信号線Xj, Xj+1の間で)階調電圧の極性が反転する。このように、隣合う信号線ないし画素電極で階調電圧の極性が反転することで、画素電極や対向電極等で流れる電流が隣同士で打ち消し合い、これによって表示品質の低下が抑えられる。

【0071】なお、各切換回路24L、24R、34L、34Rは、交流化信号STにより1フレーム毎にも切り換わる(すなわち各行のゲート線Yiが駆動される時の各切換回路24L、24R、34L、34Rの位置がフレーム毎に反転する)ように制御される。このようなフレーム周期の反転により、コモン一定駆動法による電極電圧波形が得られる。

【0072】上記したように、この実施形態における信号線ドライバでは、各隣合う2つのチャンネル分の駆動部において、左側のDAコンバータ30Lおよび電圧フォロア32Lを正極性の階調電圧専用に構成するとともに右側のDAコンバータ30Rおよび電圧フォロア32Rを負極性の階調電圧専用に構成し、両DAコンバータ30L、30Rの前段に設けた第1切換回路24L、24Rと両電圧フォロア22L、22Rの後段に設けた第2切換回路34L、34Rとを所定の周期たとえばライン周期かつフレーム周期で切り換えることにより、コモン一定駆動法とドット反転(1画素毎の反転)とを実現している。

【0073】かかる信号線駆動方式においては、1つの信号線Xを交互に駆動する両電圧フォロア32L、32Rのオフセットが別個のものであるため、それぞれのオフセットを加え合わせたものが信号線Xに供給された場合には階調表示の誤差が増加するおそれがある。

【0074】本実施形態では、両電圧フォロア32L、32R回りの上記した構成および図4に示すような制御によって、この問題を簡単かつ効果的に解決している。

【0075】図4に示すように、各ライン毎の動作において、タイミングパルスTPの始端で当該ライン分の階調電圧が各DAコンバータ30L、30Rに与えられ、この時点から両電圧フォロア32L、32Rの動作が開始される。なお、この動作開始時点で、両電圧フォロア32L、32Rにおける開閉スイッチ40L、40Rはオフ(開)状態にあり、両電圧フォロア32L、32R内の定電流源回路(58、60)に対してアクティブ動作のバイアス電圧(VBn、VBp)が選ばれる。

【0076】左側の電圧フォロア32Lは、DAコンバータ30Lより新たな正極性の階調電圧を入力端子INに入力し、出力端子側の負極性の出力電圧つまり信号線電圧を反転入力端子(-)に負帰還しつつ、出力電圧を入力階調電圧Vのレベルまで立ち上げるようにソースモードの電圧駆動を行う。一方、右側の電圧フォロア32Rは、DAコンバータ30Rより新たな負極性の階調電圧を入力端子INに入力し、出力端子側の正極性の出力電圧つまり信号線電圧を反転入力端子(-)に負帰還しつつ、出力電圧を入力階調電圧Vのレベルまで立ち下げないようにシンクモードの電圧駆動を行う。

【0077】そして、タイミングパルスTPの始端から所定時間Tcが経過した時点で、コントローラ12は、両電圧フォロア32L、32Rにおける開閉スイッチ4

0L、40Rをオン(閉)状態に切り換えるとともに、切換スイッチ42L、42Rを制御して両電圧フォロア32L、32R内の定電流源回路(58、60)に対するバイアス電圧を動作停止用の電圧(Vss、Vdd)に切り換える。この時間Tcは、両電圧フォロア32L、32Rにおいて出力電圧が入力階調電圧のレベルに到達する頃合のタイミングに設定されてよい。出力電圧の立ち上がり/立ち下がり速度(時間)は主として負荷を含む回路のインピーダンスや時定数等に規定されるため、全ての入力階調電圧に共通の切替時間Tcを設定できる。

【0078】両電圧フォロア32L、32Rにおいては、動作停止用のバイアス電圧(Vss、Vdd)に切り換えることによって、各定電流源回路(58、60)がオフ状態となり、出力部62L、62Rの出力が出力端子OUTから電氣的に遮断される。一方、開閉スイッチ40L、40Rがオン(閉)状態になることで、DAコンバータ30L、30Rからの入力階調電圧は電圧フォロア32L、32Rのスルーの負帰還回路FBを通して出力端子OUTより負荷の信号線に供給される。この時点では、信号線の電圧が目標値つまり入力階調電圧付近のレベルに到達しているため、DAコンバータ30L、30Rより出力される階調電圧が信号線側のインピーダンスによって受ける影響は少ない。

【0079】このように、各電圧フォロア32L、32Rの出力電圧が目標値である入力階調電圧付近のレベルに到達した後は、各電圧フォロア32L、32Rの動作は停止して各信号線から電氣的に遮断され、代わりにDAコンバータ30L、30Rからの階調電圧が各負帰還回路FBを経由して各信号線に供給される。これにより、各電圧フォロア32L、32Rにオフセットがあるかないかに拘わらず、各画素電極に所望の階調電圧が正確な値で書き込まれる。なお、図4では図示省略しているが、各ラインのサイクルにおいて、ゲート線アクティブ時間は次のタイミングパルスTPの直前に終了し、その時点の書き込み階調電圧が該当画素電極にサンプリングないし保持される。

【0080】また、両電圧フォロア32L、32Rにおいては、各定電流源回路(58、60)がオフ状態になると、各部で電流が流れなくなり、消費電流はほとんど零近くまで減少する。このように、アイドリングスタンバイ電流(Io)が流れないため、消費電流が少ない。

【0081】上記した実施形態では、各電圧フォロア32L、32Rの負帰還回路FBをバイパス回路に利用している。しかし、出力端子OUTに接続される専用のバイパス回路を設け、このバイパス回路と入力端子INとの間に開閉スイッチ40を接続する構成も可能である。また、図6の信号線駆動部のようなソースモードおよびシンクモード兼用型の電圧フォロアにも本発明を適用することができる。

【0082】上記した実施形態の電圧フォロアでは、所定の電圧を有する入力信号を入力端子INに入力してから一定時間 $T_c$ が経過した時点で入力端子INと出力端子OUTとを短絡すると同時に定電流源回路をオン状態からオフ状態に切り換えるようにした。しかし、入力信号の電圧レベルに応じて切換時点を変設定することも可能である。

【0083】あるいは、入力信号の電圧（またはその付近に設定された電圧）と出力信号の電圧とを比較するコンパレータを設け、コンパレータの出力が変わった時を切換時点とすることも可能である。

【0084】また、入力端子INを出力端子OUTにスルーで接続するタイミングと、定電流源回路をオン状態からオフ状態に切り替えるタイミングとをずらす（通常は前者のタイミングを後者のタイミングと同じかそれよりも後にしてよい）ことも可能である。

【0085】本発明は、上記実施形態における各部の構成に限定されるものではなく、種々の変形が可能である。特に、上記実施形態における電圧フォロア32L、32Rの構成は一例であり、演算増幅器または電圧フォロアの任意の構成に本発明を適用できる。さらに、本発明の駆動回路は、信号線駆動回路以外にも様々なアプリケーションに適用可能である。

【0086】

【発明の効果】以上説明したように、本発明の駆動回路によれば、オフセットの影響を簡単かつ効率的に補償または回避して出力信号の電圧を目標値である入力信号の電圧に正確に一致させることができるとともに、消費電流を大幅に少なくすることができる。

【図面の簡単な説明】

【図1】本発明の駆動回路を適用したアクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す図である。

【図2】実施形態における信号線ドライバの要部の回路構成を示すブロック図である。

【図3】実施形態における電圧フォロアの回路構成を示す回路図である。

【図4】実施形態における信号線ドライバの作用を説明するための各部の波形を示す図である。

【図5】TFT液晶パネルの基本的な回路構成（一部）を示す図である。

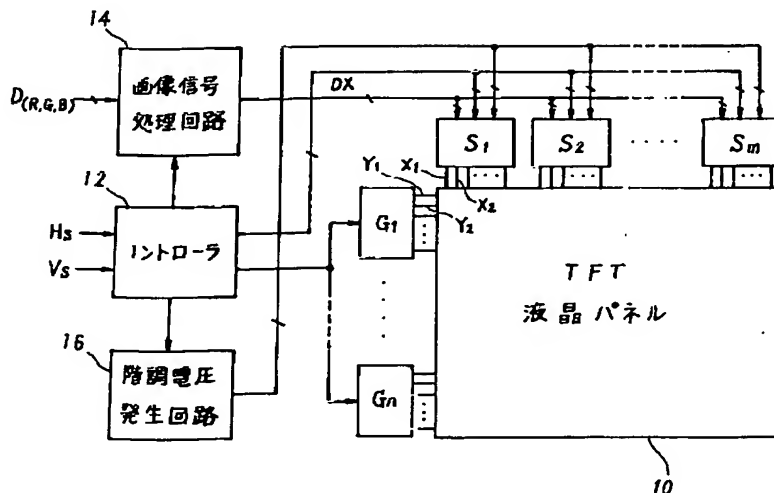
【図6】従来の駆動回路を含む信号線駆動部の要部の構成を示すブロック図である。

【図7】図6の信号線駆動部の作用を説明するための各部の波形を示す図である。

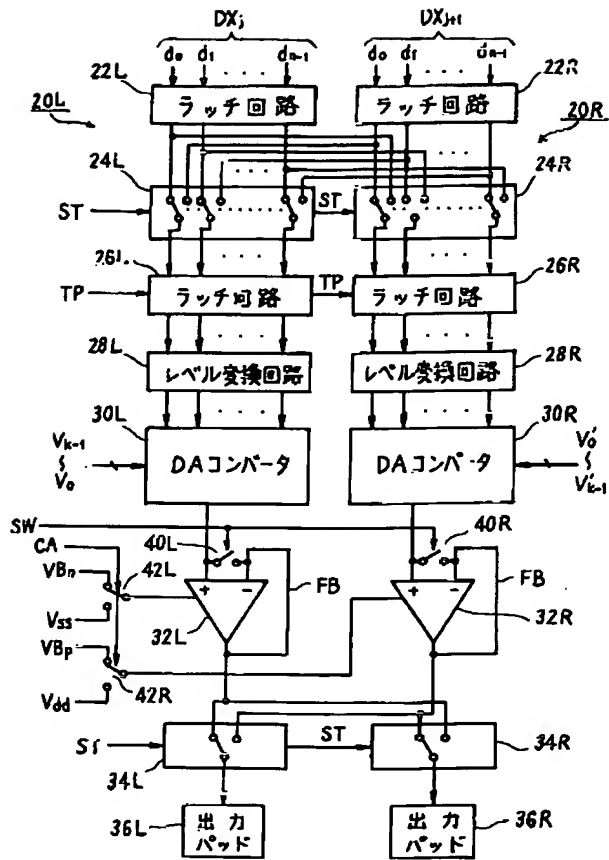
【符号の説明】

10	液晶パネル
12	コントローラ
14	画像信号処理回路
16	階調電圧発生回路
S1, S2, …	信号線ドライバ
20L, 20R	信号線駆動部
32L, 32R	電圧フォロア
40L, 40R	開閉スイッチ
42L, 42R	切換スイッチ
44L, 44R	差動入力部
46L, 46R	出力部
58L, 58R, 60L, 60R	定電流源回路

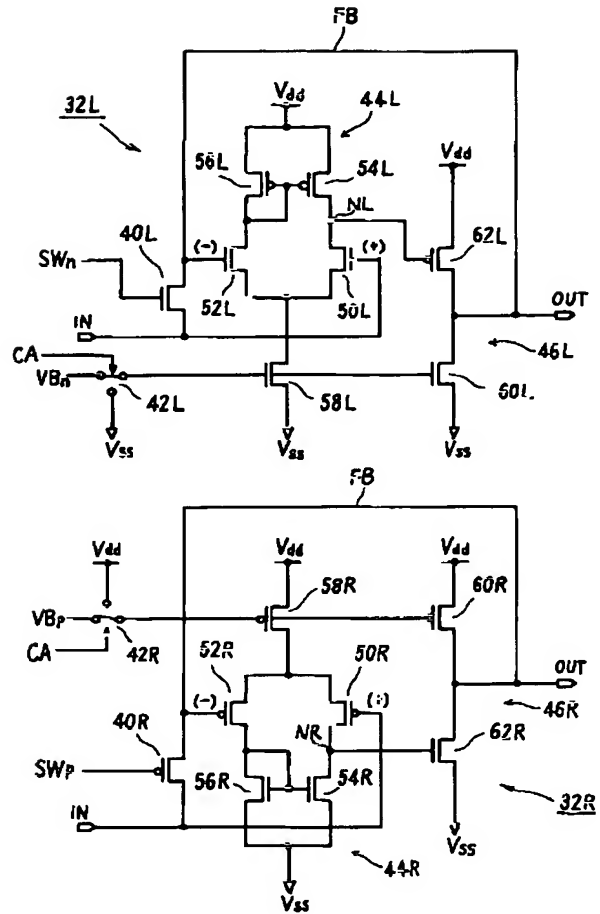
【図1】



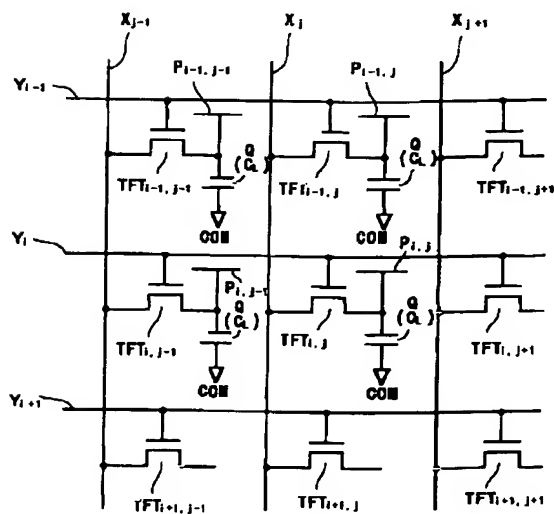
【図2】



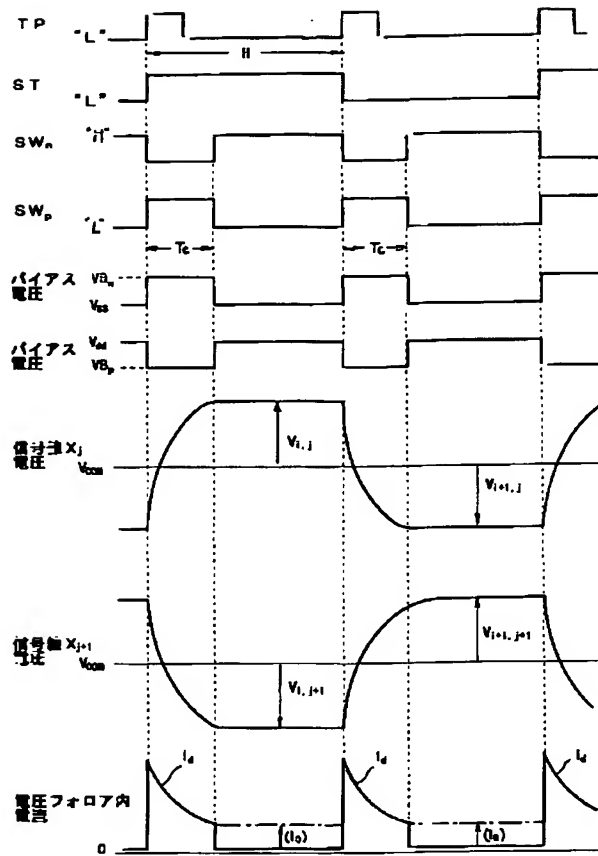
【図3】



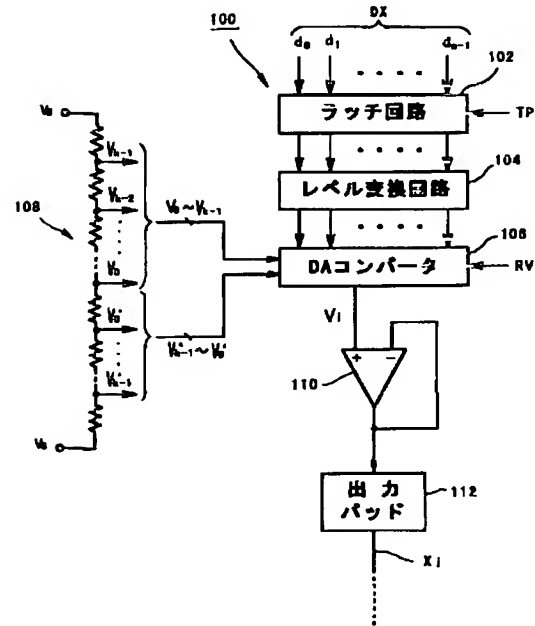
【図5】



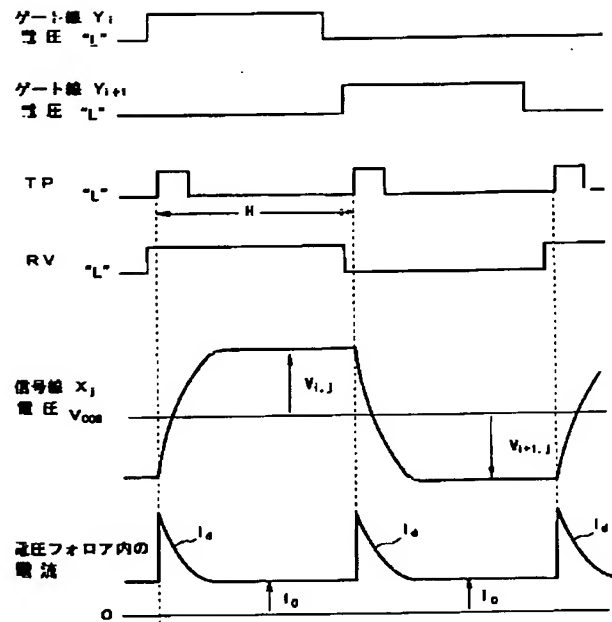
【図4】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 5 J 0 9 2
H 0 3 F 1/02		H 0 3 F 1/02	
3/34		3/34	A
3/72		3/72	

F ターム(参考) 2H093 NA51 NA61 NC03 NC15 NC16  
 NC24 NC26 NC34 ND09 ND17  
 ND39  
 5C006 AA22 BB16 BC13 BF25 FA22  
 FA47  
 5C080 AA10 BB05 CC03 DD05 DD26  
 EE29 FF11 JJ02 JJ03 JJ04  
 5J069 AA03 AA51 CA36 FA18 HA01  
 HA38 TA01 TA02  
 5J091 AA03 AA51 CA13 CA36 FA18  
 HA01 HA38 MA05 TA01 TA02  
 5J092 AA03 AA51 CA13 CA36 FA18  
 GR02 HA01 HA38 MA05 TA01  
 TA02